

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-212218

(43)公開日 平成7年(1995)8月11日

(51) Int.C1.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H03K 19/0944

8839-5J

H03K 19/094

A

審査請求 未請求 請求項の数3 (全 7 頁)

(21) 出願番号 特願平6-17746

(22) 出願日 平成6年(1994)1月19日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 武藤 伸一郎

東京都千代田区内幸町1丁目1番6号 日本  
電信電話株式会社内

(72) 発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日本  
電信電話株式会社内

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日本  
電信電話株式会社内

(74) 代理人 弁理士 山川 政樹

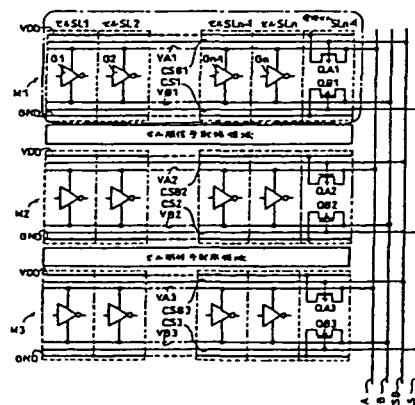
最終頁に続く

(54) [発明の名称] 論理回路

(57) [要約]

[目的] 高速化と小面積化を同時に実現する。

[構成] 中論理回路M1～M3の疑似電源線VA1～VA3を相互に共通疑似電源線VAを介して接続する。中論理回路M1～M3の疑似電源線VB1～VB3を相互に共通疑似電源線VBを介して接続する。中論理回路M1～M3の電力制御用MOSFET・QA1～QA3のゲートを相互に共通制御線CSBを介して接続する。中論理回路M1～M3の電力制御用MOSFET・QB1～QB3のゲートを相互に共通制御線CSを介して接続する。



## 【特許請求の範囲】

〔請求項1〕 低しきい値の電界効果トランジスタからなる第1～第nの小論理回路と、この第1～第nの小論理回路の電源端子の一方に接続された第1の疑似電源線と、前記第1～第nの小論理回路の電源端子の他方に接続された第2の疑似電源線と、前記第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電力制御用電界効果トランジスタと、前記第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電力制御用電界効果トランジスタとを備えてなる中論理回路をm段有してなる論理回路において、前記各中論理回路の第1の疑似電源線が相互に第1の共通疑似電源線を介して接続され、前記各中論理回路の第2の疑似電源線が相互に第2の共通疑似電源線を介して接続され、前記各中論理回路の第1の電力制御用電界効果トランジスタのゲートが相互に第1の共通制御線を介して接続され、前記各中論理回路の第2の電力制御用電界効果トランジスタのゲートが相互に第2の共通制御線を介して接続されていることを特徴とする論理回路。

〔請求項2〕 低しきい値の電界効果トランジスタからなる第1～第nの小論理回路と、この第1～第nの小論理回路の電源端子の一方に接続された第1の疑似電源線と、前記第1～第nの小論理回路の電源端子の他方に接続された第2の疑似電源線と、前記第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電力制御用電界効果トランジスタと、前記第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電力制御用電界効果トランジスタとを備えてなる中論理回路をm段有してなる論理回路において、前記各中論理回路の第1の疑似電源線が相互に第1ならびに第3の共通疑似電源線を介して接続され、前記各中論理回路の第2の疑似電源線が相互に第2ならびに第4の共通疑似電源線を介して接続され、前記各中論理回路の第1の電力制御用電界効果トランジスタのゲートが相互に第1の共通制御線を介して接続され、前記各中論理回路の第2の電力制御用電界効果トランジスタのゲートが相互に第2の共通制御線を介して接続され、前記第1および第2の共通疑似電源線、前記第1および第2の共通制御線が前記中論理回路群を挟む一方側に設けられ、前記第3および第4の共通疑似電源線が前記中論理回路群を挟む他方側に設けられていることを特徴とする論理回路。

〔請求項3〕 請求項1又は2において、低しきい値の電界効果トランジスタ、高しきい値の第1および第2の電界効果トランジスタがMOSFETであることを特徴

とする論理回路。

## 〔発明の詳細な説明〕

## 〔0001〕

〔産業上の利用分野〕 この発明は、低電圧で動作可能な論理回路に関し、特に、動作時は低しきい値の電界効果トランジスタからなる小論理回路で高速動作を実現し、非動作時には高しきい値の電力制御用電界効果トランジスタをオフすることにより低リーケ特性を実現する論理回路の改良に関するものである。

## 10 〔0002〕

〔従来の技術〕 近年、各種電子機器の携帯化の要求に応えるべく、集積回路の低電圧動作化が進められている。この種の回路例として、アイ・イー・イー「1V High-Speed Digital Circuit Technology With 0.5μm Multi-Threshold CMOS」Proceedings of IEEE ASI C CONFERENCE PP.186-189, SEPT. 1993.」に示されているMT-CMOS (Multi-Threshold CMOS) 回路を図3に示す。同図において、Gは論理ゲートであり、低しきい値のPチャネルMOSFET・Q3, Q4およびNチャネルMOSFET・Q5, Q6により構成されている。論理ゲートGの電源端子の一方には高電位の疑似電源線VA1が接続され、他方には低電位の疑似電源線VB1が接続されている。そして、疑似電源線VA1と実電源線(高電位)VDDとの間に高しきい値のPチャネルMOSFET(電力制御用MOSFET)・QA1が接続され、疑似電源線VB1と実電源線GND(低電位:接地電位)との間に高しきい値のNチャネルMOSFET(電力制御用MOSFET)・QB1が接続されている。なお、同図において、CSB

20 Q3, Q4およびQ5, Q6により構成されている。論理ゲートGの電源端子の一方には高電位の疑似電源線VA1が接続され、他方には低電位の疑似電源線VB1が接続されている。そして、疑似電源線VA1と実電源線(高電位)VDDとの間に高しきい値のPチャネルMOSFET(電力制御用MOSFET)・QA1が接続され、疑似電源線VB1と実電源線GND(低電位:接地電位)との間に高しきい値のNチャネルMOSFET(電力制御用MOSFET)・QB1が接続されている。なお、同図において、CSB

30 1およびCSB1は制御線であり、QA1およびQB1のゲートに接続されている。このMT-CMOS回路では、通常動作時、CSB1を低電位にし、CSB1を高電位にする。これにより、QA1およびQB2が導通し、VA1およびVB1がVDDおよびGNDに接続される。この場合、論理ゲートGは低しきい値のMOSFET・Q3～Q6で構成されているため、1Vという非常に低い電源電圧でも高速に動作することが可能となる。ここで、低しきい値のMOSFETを使用する場合、その非動作時のリーケ電流が極めて大きくなることが問題となる。このため、このMT-CMOS回路では、次のような方法で上述した問題を回避している。すなわち、非動作時には、CSB1を高電位にし、CSB1を低電位にし、QA1およびQB1を遮断する。QA1およびQB1のしきい値電圧は大きいため、論理ゲートGのMOSFET・Q3～Q6で生じるリーケ電流の増大を抑えることができる。

〔0003〕 ところで、このMT-CMOS回路では、疑似電源線VA1, VB1, 疑似電源線VA1, VB1と実電源線VDD, GNDとの間に入る電力制御用MOSFET・QA1, QB1およびそれらの制御線CSB

1, C S 1が必要となり、そのままでは一般的なCADでは取り扱うことができない。そこで、図4に示すような、MT-CMOS対応のスタンダードセルが提案されている。本図は、X方向(図示横方向)にn+1個のスタンダードセルを配置して中論理回路を構成し、この中論理回路をY方向(図示縦方向)に3段配置した例を示している。同図において、S L 1～S L n+1は最上段の中論理回路M 1を構成するスタンダードセルである。本スタンダードセルは、セル内に電源線V DD, GNDの他に疑似電源線V A 1, V B 1や制御線C S B 1, C S 1を有しており、セルを並べるだけで自動的にそれらを接続できる構成となっている。なお、各セルに電圧を供給する電源セルには、制御線C S B 1, C S 1で制御される高しきい値の電力制御用MOSFET・QA 1, QB 1が配置されている。このスタンダードセルを用いると、通常のCMOS論理セルと同様のレイアウトをすることにより、自動的にMT-CMOS回路を構成することができる。

【0004】スタンダードセルS L 1～S L nはそれぞれ論理機能を持った論理ゲート(小論理回路)G 1～G nを内蔵している。論理ゲートG 1～G nは低しきい値のMOSFETで構成されている。論理ゲートG 1～G nの電源端子の一方には高電位の疑似電源線V A 1が接続され、他方には低電位の疑似電源線V B 1が接続されている。疑似電源線V A 1, V B 1は、実電源線V D, GNDから、QA 1, QB 1を介して電流の供給を受ける。電源線は十分な量の電流を常に供給できる能力がある。

#### 【0005】

【発明が解決しようとする課題】一般にCADを用いたスタンダードセルの自動レイアウト手法によりLSIを設計する場合、どのようなセルが隣接され配置されるかは詳細には指定できない。同時にスイッチング動作するセルが近接して配置されることも多い。特に、複数段にわたり中論理回路が配置された論理回路において、特定の中論理回路に同時にスイッチングする論理ゲートが集中して配置された場合は問題が大きい。例えば、図4の最上段の中論理回路M 1に配置されたスタンダードセル内の論理ゲートG 1～G nが全て同時にスイッチングする場合を考える。図4において、通常動作時は、制御線C S B 1～C S B 3は低電位に設定され、制御線C S 1～C S 3は高電位に設定されているため、電力制御用MOSFET・QA 1～QA 3およびQB 1～QB 3は全て導通している。ここで、論理ゲートG 1～G nが全て同時にスイッチングされると、実電源線V DDから疑似電源線V A 1に大電流が流れ込むが、その際、電流の通り道となるのはQA 1のみであるため、抵抗が大きく、疑似電源線V A 1の電位が実電源線V DDに比べて低下する。また、疑似電源線V B 1から実電源線GNDへ大電流が流出するが、その際、電流の通り道となるのはQB

B 1のみであるため、抵抗が大きく、疑似電源線V B 1の電位が実電源線GNDに比べて上昇する。この結果、論理ゲートG 1～G nの電源端子間に与えられる電位差(V A 1-V B 1)は、電源電圧(V DD-GND)に比べてかなり小さくなってしまい、十分な速度性能が得られなくなるという問題が生じる。また、制御線C S B 1～C S B 3, C S 1～C S 3については、配置された中論理回路の段数をmとすると、2m個の制御信号端子(図示せず)に対して制御線を接続しなければならず、

10 段数に比例して外部からの制御信号線の接続数が増加し、小面積化を阻害するという問題がある。

【0006】本発明はこのような課題を解決するためになされたもので、その目的とするところは、複数段にわたり中論理回路が配置された論理回路の速度劣化を排除して支障なく高速化を実現することが可能で、かつ外部からの制御信号線の接続数を減らして小面積化を実現することの可能な論理回路を提供することにある。

#### 【0007】

【課題を解決するための手段】このような目的を達成するにあたり、本発明は、低しきい値の電界効果トランジスタからなる第1～第nの小論理回路と、この第1～第nの小論理回路の電源端子の一方に接続された第1の疑似電源線と、第1～第nの小論理回路の電源端子の他方に接続された第2の疑似電源線と、第1の疑似電源線と第1の実電源線との間に接続された高しきい値の第1の電力制御用電界効果トランジスタと、第2の疑似電源線と第2の実電源線との間に接続された高しきい値の第2の電力制御用電界効果トランジスタとを備えてなる中論理回路をm段有してなる論理回路において、各中論理回路

30 の第1の疑似電源線を相互に第1の共通疑似電源線を介して接続し、各中論理回路の第2の疑似電源線を相互に第2の共通疑似電源線を介して接続し、各中論理回路の第1の電力制御用電界効果トランジスタのゲートを相互に第1の共通制御線を介して接続し、各中論理回路の第2の電力制御用電界効果トランジスタのゲートを相互に第2の共通制御線を介して接続したものである。

#### 【0008】

【作用】したがってこの発明によれば、例えば、最上段の中論理回路に配置された小論理回路が全て同時にスイッチングされた場合、最上段の中論理回路の第1の電力制御用電界効果トランジスタのみでなく、他の中論理回路の第1の電力制御用電界効果トランジスタからも第1の共通疑似電源線を介して、最上段の中論理回路の第1の疑似電源線へ電流が流れ込み、また、最上段の中論理回路の第2の電力制御用電界効果トランジスタのみでなく、他の中論理回路の第2の電力制御用電界効果トランジスタからも第2の共通疑似電源線を介して、最上段の中論理回路の第2の疑似電源線からの電流が流出する。また、第1および第2の共通制御線を第1および第2の制御信号端子に接続し、この第1および第2の制御信号

端子に制御信号を与えるものとすれば、全ての中論理回路の第1および第2の電力制御用電界効果トランジスタのゲートに制御信号が届くものとなる。

【0009】

【実施例】

(実施例1) 以下、本発明を実施例に基づき詳細に説明する。図1はこの発明の一実施例を示す図である。本図は、X方向(図示横方向)に $n+1$ 個のスタンダードセルを配置して中論理回路を構成し、この中論理回路をY方向(図示縦方向)に3段配置した例を示している。同図において、SL1～SL $n+1$ は最上段の中論理回路M1を構成するスタンダードセルである。本スタンダードセルは、セル内に電源線VDD、GNDの他に疑似電源線VA1、VB1や制御線CSB1、CS1を有しており、セルを並べるだけで自動的にそれらを接続できる構成となっている。なお、各セルに電圧を供給する電源セルには、制御線CSB1、CS1で制御される高しきい値の電力制御用MOSFET・QA1、QB1が配置されている。

【0010】スタンダードセルSL1～SL $n$ はそれぞれ論理機能を持った論理ゲート(小論理回路)G1～Gnを内蔵している。論理ゲートG1～Gnは低しきい値のMOSFETで構成されている。論理ゲートG1～Gnの電源端子の一方には高電位の疑似電源線VA1が接続され、他方には低電位の疑似電源線VB1が接続されている。疑似電源線VA1、VB1は、実電源線VDD、GNDから、QA1、QB1を介して電流の供給を受ける。電源線は十分な量の電流を常に供給できる能力がある。

【0011】ここで、本実施例の回路と図4に示した従来の回路とは、次の①～④の点で異なっている。

①中論理回路M1～M3の疑似電源線VA1～VA3が相互に共通疑似電源線VAを介して接続されている。

②中論理回路M1～M3の疑似電源線VB1～VB3が相互に共通疑似電源線VBを介して接続されている。

③中論理回路M1～M3の電力制御用MOSFET・QA1～QA3のゲートが相互に共通制御線CSBを介して接続されている。

④中論理回路M1～M3の電力制御用MOSFET・QB1～QB3のゲートが相互に共通制御線CSを介して接続されている。

【0012】この回路において、中論理回路M1に配置されたスタンダードセル内の論理ゲートG1～Gnが全て同時にスイッチングする場合を考えてみる。図1において、通常動作時は、制御線CSB1～CSB3は低電位に設定され、制御線CS1～CS3は高電位に設定されているため、電力制御用MOSFET・QA1～QA3およびQB1～QB3は全て導通している。ここで、論理ゲートG1～Gnが全て同時にスイッチングされると、実電源線VDDから疑似電源線VA1に大電流が流

れ込む。

【0013】この際、中論理回路M1の電力制御用MOSFET・QA1のみでなく、他の中論理回路M2およびM3の電力制御用MOSFET・QA2およびQA3からも共通疑似電源線VAを介して、中論理回路M1の疑似電源線VA1へ電流が流れ込む。このため、すなわちQA1～QA3の並列接続となるため、実電源線VDDと疑似電源線VA1の間の導通抵抗が非常に小さくなり、疑似電源線VA1の電位の低下が抑制される。ま

た、中論理回路M1の電力制御用MOSFET・QB1のみでなく、他の中論理回路M2およびM3の電力制御用MOSFET・QB2およびQB3からも共通疑似電源線VBを介して、中論理回路M1の疑似電源線VB1からの電流が流出する。このため、すなわちQB1～QB3の並列接続となるため、実電源線GNDと疑似電源線VB1との間の導通抵抗が非常に小さくなり、疑似電源線VB1の電位の上昇が抑制される。この結果、論理ゲートG1～Gnの電源端子間に与えられる電位差(VA1～VB1)は、電源電圧(VDD-GND)にほど等しくなり、十分な速度性能が得られるようになる。

【0014】次に、共通制御線CSB、CSについて説明する。本実施例では、共通制御線CSBにより中論理回路M1～M3の電力制御用MOSFET・QA1～QA3のゲートが相互に接続され、共通制御線CSにより中論理回路M1～M3の電力制御用MOSFET・QB1～QB3のゲートが相互に接続されている。これにより、共通制御線CSBおよびCSを制御信号端子N1およびN2(図示せず)に接続し、この制御信号端子N1およびN2に制御信号を与えるものとすれば、中論理回路M1～M3の電力制御用MOSFET・QA1～QA3およびQB1～QB3のゲートに制御信号が届くものとなり、外部からの制御信号線の接続数をCS、CSBの各々に対して1本とすることができる。

【0015】(実施例2) 図2に本発明の他の実施例を示す。本実施例では、中論理回路M1～M3(中論理回路群)を挟む一方側(図示右側)に共通疑似電源線VA、VBおよび共通制御線CSB、CSを設け、他方側(図示左側)に共通疑似電源線VA'、VB'および共通制御線CSB'、CS'を設けている。共通疑似電源線VA'、VB'および共通制御線CSB'、CS'には、共通疑似電源線VA、VBおよび共通制御線CSB、CSと同様にして、中論理回路M1～M3における各線を接続している。この構成により、共通疑似電源線VAとVA'を通じて電流が供与されるものとなり、また共通疑似電源線VBとVB'を通じて電流が流出するものとなり、導通抵抗がより小さくなつて、電源電位変動がさらに小さく抑えられるという利点を有する。

なお、この実施例では、中論理回路群を挟む他方側に共通制御線CSB'、CS'を設けるものとしたが、CSB'、CS'を設けない構成—すなわち共通制御線CS

B, CSのみを設けた構成としてもよい。CSB', C'を設けた場合、これを予備用として使用することが可能である。

[0016] また、上述した各実施例においては、中論理回路を3段としたが、3段に限るものでないことは言うまでもない。また、論理ゲートG1～Gnは、種々の論理ゲート（例えば、アンドゲート、オアゲート、 NANDゲート、ノアゲートなど）が考えられ、各種論理ゲートを複数接続した構成としてもよい。また、上述した実施例においては、QA1～QA3、QB1～QB3、論理ゲートG1～Gnを構成するトランジスタをMOSFETとしたが、すなわち絶縁ゲート形の電界効果トランジスタとしたが、接合形の電界効果トランジスタを用いてもよい。また、共通疑似電源線VA、VBや共通制御線CSB, CSは、電源セルSLn+1内に入れるようにしてもよい。また、中論理回路M1における電源セルSLn+1は、必ずしも端に設ける必要はなく、任意の位置に配置してよい。

[0017]

【発明の効果】以上説明したことから明らかなように本発明によれば、各中論理回路の第1の疑似電源線を相互に第1の共通疑似電源線を介して接続し、各中論理回路の第2の疑似電源線を相互に第2の共通疑似電源線を介して接続し、各中論理回路の第1の電力制御用電界効果トランジスタのゲートを相互に第1の共通制御線を介して接続し、各中論理回路の第2の電力制御用電界効果トランジスタのゲートを相互に第2の共通制御線を介して接続したので、例えば、最上段の中論理回路に配置された小論理回路が全て同時にスイッチングされた場合、最上段の中論理回路の第1の電力制御用電界効果トランジスタのみでなく、他の中論理回路の第1の電力制御用電界効果トランジスタからも第1の共通疑似電源線を介して、最上段の中論理回路の第1の疑似電源線へ電流が流れ込み、また、最上段の中論理回路の第2の電力制御用電界効果トランジスタのみでなく、他の中論理回路の第

2の電力制御用電界効果トランジスタからも第2の共通疑似電源線を介して、最上段の中論理回路の第2の疑似電源線からの電流が流出し、上記小論理回路の電源端子間に与えられる電位差が電源電圧にほど等しくなり、十分な速度性能が得られるようになり、支障なく高速化を実現することが可能となる。また、第1および第2の共通制御線を第1および第2の制御信号端子に接続し、この第1および第2の制御信号端子に制御信号を与えるものとすれば、全ての中論理回路の第1および第2の電力制御用電界効果トランジスタのゲートに制御信号が届くものとなり、外部からの制御信号線の接続数を低減し、小面積化を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例（実施例1）を示す図である。

【図2】本発明の他の実施例（実施例2）を示す図である。

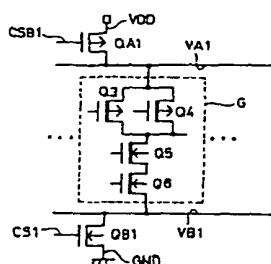
【図3】従来のMT-CMOS回路を例示する図である。

20 [図4] MT-CMOS対応のスタンダードセルを用いた従来の回路例を示す図である。

【符号の説明】

SL1～SLn+1	スタンダードセル
G1～Gn	論理ゲート
QA1～QA3	電力制御用MOSFET
QB1～QB3	電力制御用MOSFET
VDD	実電源線（高電位）
GND	実電源線（低電位）
VA	共通疑似電源線（高電位）
30 VB	共通疑似電源線（低電位）
VA1～VA3	疑似電源線（高電位）
VB1～VB3	疑似電源線（低電位）
CS, CSB	共通制御線
CS1～CS3, CSB1～CSB3	制御線

【図3】



(7)

11

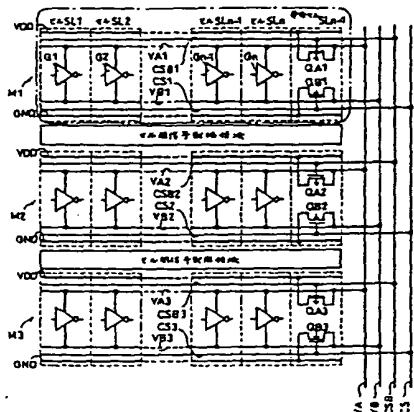
12

フロントページの続き

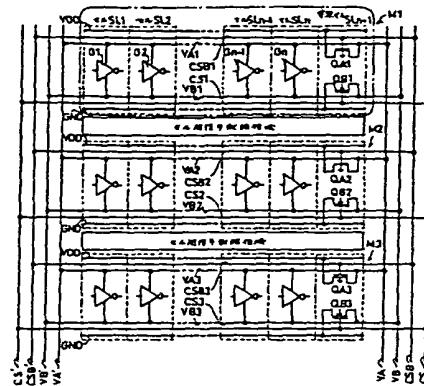
(72)発明者 山田 順三  
東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(6)

〔図1〕



〔図2〕



〔図4〕

